

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-268794

(43)Date of publication of application : 09.10.1998

(51)Int.Cl.

G09F 9/00
 G02F 1/1343
 G02F 1/136
 H01L 29/786
 H01L 21/336

(21)Application number : 09-073963

(71)Applicant : SHARP CORP

(22)Date of filing : 26.03.1997

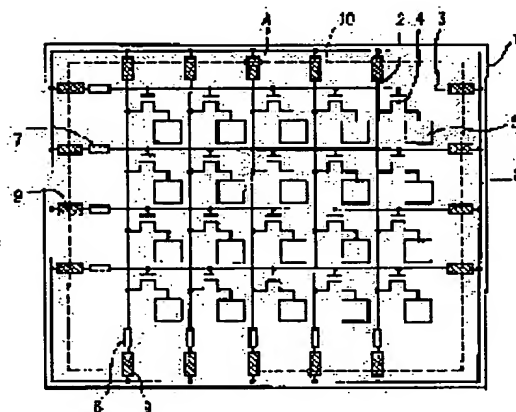
(72)Inventor : NAKAJIMA MUTSUMI
 NAKAJIMA KATSUKO

(54) DISPLAY PANEL

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent switching element from deteriorating in the characteristic and dielectric breakdown between wiring by static electricity in the manufacturing process and after completion of a display panel.

SOLUTION: High-resistance parts 9 provided at wiring end parts of signal wiring 2 and scanning wiring 3 are connected with a short circuited line 8. Even if electric charges are impressed on a substrate before parting it, they are dispersed to other wiring via the high resistance parts and short circuited line 8. Further, even if electric charges due to static electricity are impressed on the substrate after parting, the high resistance parts 9 are left between a parted end and a display area and voltage drops through the high resistance parts 9 before reaching the display area from the parted end.



LEGAL STATUS

[Date of request for examination] 21.07.2000

[Date of sending the examiner's decision of rejection] 26.09.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2003-20881

[Date of requesting appeal against examiner's decision of rejection] 27.10.2003

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平10-268794

(43) 公開日 平成10年(1998)10月9日

(51) Int.Cl.⁶
 G 0 9 F 9/00
 G 0 2 F 1/1343
 1/136
 H 0 1 L 29/786
 21/336

識別記号

3 5 3

5 0 0

F I

G 0 9 F 9/00

3 5 3

G 0 2 F 1/1343

1/136

5 0 0

H 0 1 L 29/78

6 1 2 Z

6 2 3 A

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願平9-73963

(22) 出願日 平成9年(1997)3月26日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 中島 睦

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 中島 佳都子

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

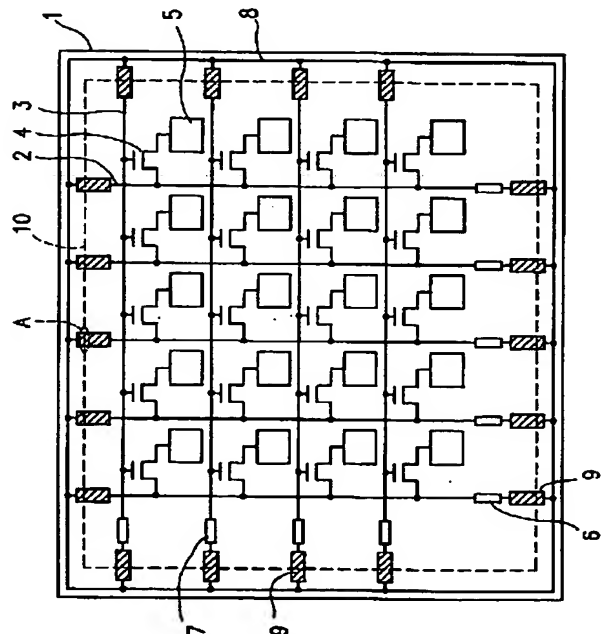
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 表示パネル

(57) 【要約】

【課題】 表示パネルの製造工程中および完成後の静電気によるスイッチング素子の特性劣化や配線間の絶縁破壊を防ぐ。

【解決手段】 信号配線2および走査配線3の配線端部に設けられた高抵抗部9が短絡線8に接続されている。基板分断までに静電気による電荷が印加されても、高抵抗部9および短絡線8を介して他の配線に分散される。また、基板分断後に静電気による電荷が印加されても、分断端と表示領域との間に高抵抗部9が残っているので、分断端から表示領域に達するまでに高抵抗部9で電圧降下する。



【特許請求の範囲】

【請求項 1】 表示媒体を挟んで対向配置された一対の基板のうちの一方の基板に、複数の信号配線と複数の走査配線とが互いに交差すると共に絶縁して設けられ、各信号配線と各走査配線との交差部近傍に、スイッチング素子を介して両配線に接続された画素電極が設けられ、該画素電極の存在する部分を表示領域としている表示パネルにおいて、

該走査配線および該信号配線のうちの少なくとも一方の表示領域外におけるその途中または端部に高抵抗部を有してなり、該高抵抗部を該一方の基板端面より露出させ、または該端面より内側に配して該一方の基板が分断されている表示パネル。

【請求項 2】 前記高抵抗部が半導体膜、金属膜または金属酸化膜からなる請求項 1 に記載の表示パネル。

【請求項 3】 前記高抵抗部が、該高抵抗部以外の配線部分を構成する膜の面抵抗よりも高い面抵抗を有する膜からなる請求項 1 または 2 に記載の表示パネル。

【請求項 4】 表示媒体を挟んで対向配置された一対の基板のうちの一方の基板に、複数の信号配線と複数の走査配線とが互いに交差すると共に絶縁して設けられ、各信号配線と各走査配線との交差部近傍に、スイッチング素子を介して両配線に接続された画素電極が設けられ、該画素電極の存在する部分を表示領域としている表示パネルにおいて、

該走査配線および該信号配線のうちの少なくとも一方の配線端部近傍であって表示領域の外側に、該当する配線と絶縁して放電誘導電極が設けられている表示パネル。

【請求項 5】 前記放電誘導電極が、前記一対の基板のうちの他方の基板上の対向電極と電気的に接続されている請求項 4 に記載の表示パネル。

【請求項 6】 前記放電誘導電極が、該当する配線と重畳すると共に絶縁して設けられている請求項 4 または 5 に記載の表示パネル。

【請求項 7】 前記放電誘導電極が、少なくとも該当する配線の隣接するもの同士の間にも両配線と絶縁して設けられている請求項 4 または 5 に記載の表示パネル。

【請求項 8】 前記放電誘導電極が、基板端部において該当する配線よりも広幅にし、または基板端部において該当する配線よりも広面積にして設けられている請求項 4 乃至 7 のいずれか 1 つに記載の表示パネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えば、テレビジョンセット、パーソナルコンピュータ、ワードプロセッサまたは OA (Office Automation) 機器などに用いられる液晶表示パネル等の表示パネルに関する。

【0002】

【従来の技術】 上述の液晶表示パネルは、表示媒体とし

ての液晶層を挟んで一対の基板が対向配置された構成を有する。そのうちの一方の基板であるアクティブマトリクス基板は、複数の信号配線と複数の走査配線とが絶縁膜を介して互いに交差するように設けられ、各信号配線と各走査配線との交差部近傍には、スイッチング素子としての TFT (薄膜トランジスタ) を介して両配線に接続された画素電極が設けられる。各画素電極には、対応する走査配線の信号でスイッチングされる TFT を介して対応する信号配線の信号が与えられ、その画素電極と対向する対向電極との間の液晶層に電圧が印加される。これにより両電極の間に挟まれた液晶層部分の光学的特性が変化し、この光学的特性の変化が表示パターンとして視角的に認識される。

【0003】 この液晶表示パネルに対して、静電気等により発生した例えば 100V 程度以上の電圧が信号配線や走査配線に印加されると、TFT の破壊や特性劣化が生じたり、信号配線と走査配線との間の絶縁膜が破壊されたりするため、画像表示時にライン状の欠陥や表示ムラが現れ、表示品位を低下させる原因となる。この程度の静電気は、上記アクティブマトリクス基板の製造工程や、上記液晶層を配向させるための配向膜をラビング処理する工程などで発生するため、これを完全に防止することはできない。

【0004】 このため、従来、図 7 および図 8 に示すような短絡線を形成したアクティブマトリクス基板が用いられている。

【0005】 図 7 は従来のアクティブマトリクス基板の等価回路を示す図である。このアクティブマトリクス基板は、ガラス板などからなる透光性の基板 1 上に、複数の信号配線 2 および走査配線 3 が絶縁膜を介して互いに交差して設けられ、表示領域には各信号配線 2 と各走査配線 3 との交差部近傍にスイッチング素子としての TFT 4 とその TFT 4 に接続された画素電極 5 とが設けられている。そのマトリクス状の表示領域の周辺まで延びた信号配線 2 の片方の端部には信号入力用端子 6 が設けられ、走査配線 3 の片方の端部には信号入力用端子 7 が設けられている。また、表示領域の周辺を囲むように短絡線 8 が形成され、製造工程の途中までは、その短絡線 8 が信号配線 2 の両端部および走査配線 3 の両端部と接続されている。

【0006】 図 8 は従来の他のアクティブマトリクス基板を示す平面図である。この図 8 において同じ機能を有する部分には図 7 と同じ番号を付して説明を省略する。なお、図 8 においては、簡単のために表示領域 20 の内側を省略して示し、表示領域 20 の周辺に並設された配線や端子の一部を省略して示している。このアクティブマトリクス基板は、短絡線 8 が信号配線 2 の信号入力用端子 6 が設けられていない側の端部および走査配線 3 の信号入力用端子 7 が設けられていない側の端部と接続されている。

【0007】これらのアクティブマトリクス基板は、透光性の基板上に対向電極が設けられた対向基板と重ね合わせられ、両基板の間に液晶が注入されて液晶表示パネルが完成する。但し、短絡線8により信号配線2および走査配線3を短絡したままでは駆動することができないので、液晶表示パネルの完成までに基板1を分断ライン10に沿って分断することにより短絡が解除される。

【0008】このように短絡線8を設けて各信号配線2および各走査配線3と接続することにより、全ての信号配線2と走査配線3とが常に同電位に保たれるため、液晶表示パネルの製造工程中に静電気が印加されてもTFTの特性劣化や配線間の絶縁破壊が生じるのを防ぐことができる。

【0009】しかしながら、図7および図8に示した構成では、アクティブマトリクス基板の分断後には各信号配線2および各走査配線3が電気的に独立した状態となるので、分断後の工程で発生する静電気によるTFTの特性劣化や配線間の絶縁破壊を防ぐことができない。また、TFTは100V程度の電圧印加でも特性が劣化してしまうが、液晶表示パネルの完成後でも、液晶表示装置を製造すべく駆動用ドライバーの接続や偏光板の貼り付けやシールドケースへの組み込み等が行われ、シールドケースに組み込まれるまでは常に静電気の影響を受けるので、この程度の静電気を全く生じないようにすることは実際には非常に困難である。

【0010】また、図7に示した構成では全ての基板端に信号配線2の分断面と走査配線3の分断面とができ、図8に示した構成では信号入力用端子6、7の形成されていない側の基板端に信号配線2の分断面および走査配線3の分断面が残るため、この分断面から侵入する静電気による不良発生が多く、良品率を低下させる重大な欠陥となっている。

【0011】さらに、図7および図8に示した構成では、アクティブマトリクス基板を分断して短絡線8との短絡を解除するまでは、全ての信号配線2と走査配線3とが短絡されているため、各信号配線2と各走査配線3との間の短絡や各配線の断線の有無の検査を行うことができない。

【0012】このため、従来、図9に示すような素子と内部短絡線とを形成したアクティブマトリクス基板が知られている。

【0013】図9は従来のアクティブマトリクス基板の等価回路を示す図である。この図9において同じ機能を有する部分には図7と同じ番号を付して説明を省略する。このアクティブマトリクス基板は、短絡線8の内側に内部短絡線13が別に設けられ、各信号配線2および各走査配線3が素子12を介して内部短絡線13に接続されている。この素子12としては、半導体薄膜などからなる高抵抗素子や、印加電圧に対して非線形な抵抗値を示す非線形素子などが使用される。

【0014】この構成によれば、分断ライン10に沿ってアクティブマトリクス基板を分断して信号配線2および走査配線3と短絡線8との接続を解除した後でも、信号配線2および走査配線3と内部短絡線13との接続が残される。このため、基板分断後の工程で静電気が印加されても、その電荷が素子12と内部短絡線13とを介して周囲の信号配線2や走査配線3に分散されるため、TFTの特性劣化や配線間の絶縁破壊を防ぐことができる。この場合、液晶表示パネルの製造工程の途中で各信号配線2と各走査配線3との間の短絡や各配線の断線の有無を検査するときや、液晶表示パネルの完成後に実駆動するとき問題とならないように、各信号配線2および各走査配線3と内部短絡線13との接続抵抗値は十分高い値に設定される。

【0015】

【発明が解決しようとする課題】上記図7および図8に示した従来例では、アクティブマトリクス基板を分断して各信号配線2および各走査配線3と短絡線8との短絡を解除した後は、各信号配線2および各走査配線3が電気的に独立しているため、基板分断後に静電気が印加された場合に、スイッチング素子の特性劣化や配線間の絶縁破壊を防ぐことができない。また、基板端に信号配線2および走査配線3の分断面が残っているため、その分断面から侵入する静電気による不良発生が多い。さらに、アクティブマトリクス基板を分断して短絡線8との接続を解除するまでは全ての信号配線2と走査配線3とが短絡されているため、各信号配線2と各走査配線3との間の短絡や各配線の断線の有無を検査することができない。

【0016】上記図9に示した従来例では、静電気が印加されることにより素子12の破壊や特性劣化が起こり、各信号配線2および各走査配線3の間にリークが生じたり、各配線と内部短絡線13との接続抵抗のばらつきが生じたりして表示品位が低下することがある。また、素子12の抵抗値は、実駆動の際に問題とならないように十分高い抵抗値に設定され、通常、信号配線2および走査配線3の抵抗値よりも一桁以上高い値に設定されるため、基板分断後に分断端（図9の図C部）から静電気が印加されると、この抵抗値の違いにより大部分の電荷は信号配線2または走査配線3に流れる。よって、素子12を介して内部短絡線13には電荷がほとんど分散されず、信号配線2または走査配線3に接続されたTFT4の特性劣化や配線間の絶縁破壊が発生することがある。

【0017】本発明は、このような従来技術の問題点を解決するためになされたものであり、基板の分断後も静電気によるスイッチング素子の特性劣化や配線間の絶縁破壊を防ぐことができる表示パネルを提供することを目的とする。

【0018】

【課題を解決するための手段】本発明の表示パネルは、表示媒体を挟んで対向配置された一対の基板のうちの一方の基板に、複数の信号配線と複数の走査配線とが互いに交差すると共に絶縁して設けられ、各信号配線と各走査配線との交差部近傍に、スイッチング素子を介して両配線に接続された画素電極が設けられ、該画素電極の存在する部分を表示領域としている表示パネルにおいて、該走査配線および該信号配線のうちの少なくとも一方の表示領域外におけるその途中または端部に高抵抗部を有してなり、該高抵抗部を該一方の基板端面より露出させ、または該端面より内側に配して該一方の基板が分断されており、そのことにより上記目的が達成される。

【0019】前記高抵抗部が半導体膜、金属膜または金属酸化膜からなっているてもよい。

【0020】前記高抵抗部が、該高抵抗部以外の配線部分を構成する膜の面抵抗よりも高い面抵抗を有する膜からなっているてもよい。

【0021】本発明の表示パネルは、表示媒体を挟んで対向配置された一対の基板のうちの一方の基板に、複数の信号配線と複数の走査配線とが互いに交差すると共に絶縁して設けられ、各信号配線と各走査配線との交差部近傍に、スイッチング素子を介して両配線に接続された画素電極が設けられ、該画素電極の存在する部分を表示領域としている表示パネルにおいて、該走査配線および該信号配線のうちの少なくとも一方の配線端部近傍であって表示領域の外側に、該当する配線と絶縁して放電誘導電極が設けられており、そのことにより上記目的が達成される。

【0022】前記放電誘導電極が、前記一対の基板のうちの他方の基板上の対向電極と電気的に接続されているてもよい。

【0023】前記放電誘導電極が、該当する配線と重畳すると共に絶縁して設けられているてもよい。

【0024】前記放電誘導電極が、少なくとも該当する配線の隣接するもの同士の間両配線と絶縁して設けられているてもよい。

【0025】前記放電誘導電極が、基板端部において該当する配線よりも広幅にし、または基板端部において該当する配線よりも広面積にして設けられているてもよい。

【0026】以下、本発明の作用について説明する。

【0027】本発明にあっては、走査配線および信号配線のうちの少なくとも一方が、表示領域外におけるその途中または端部に高抵抗部を有している。基板分断までの工程で静電気が印加されても、各配線を高抵抗部で短絡線と接続させておくことにより、高抵抗部および短絡線を介して他の配線に電荷を分散させることができ、スイッチング素子の特性劣化や配線間の絶縁破壊が生じない。また、高抵抗部の抵抗値は他の信号配線部分や走査配線部分の配線抵抗値よりも十分に高いため、短絡線と接続したままでも、各配線の断線や配線間のリークなど

の検査が可能である。

【0028】また、この基板を分断する際には、高抵抗部を基板端面より露出させ、または基板端面より内側に配して分断しているため、分断端と表示領域との間に高抵抗部の一部または全部が残る。よって、基板分断後の工程で静電気による電荷が印加されても、分断端から表示領域に達するまでに高抵抗部で電圧降下されるため、スイッチング素子の特性劣化や配線間の絶縁破壊が生じない。また、高抵抗部は信号入力用端子よりも基板端側にあるので、表示パネルの完成後に残されたままでも、実駆動のために印加される信号には影響を及ぼさない。

【0029】この高抵抗部は、それ以外の配線部分を構成する膜の面抵抗よりも高い面抵抗を有する膜を用いるのが望ましく、半導体膜、金属膜または金属酸化膜等のいずれを用いてもよい。特に、アクティブマトリクス基板を構成する材料で高抵抗部を形成すれば、製造工程を追加する必要が無いので望ましい。

【0030】他の本発明にあっては、走査配線および信号配線のうちの少なくとも一方の端部近傍であって表示領域の外側に、その配線と絶縁して放電誘導電極が設けられている。よって、表示パネルの製造工程中や表示パネルの完成後に表示パネルの周辺に静電気が発生しても、その静電気が放電誘導電極に放電されて、走査配線および信号配線への静電気の印加が抑制されるので、スイッチング素子の特性劣化や配線間の絶縁破壊が生じない。

【0031】この放電誘導電極を対向電極と接続すれば、印加された静電気が表示パネル全体に拡散されるので、静電気の影響を防ぐことができる。

【0032】この放電誘導電極は、走査配線または信号配線に対して重畳すると共に絶縁して設けてもよく、その配線の隣接するもの同士の間両配線と絶縁して設けてもよく、さらに両端の配線の外側にその配線と絶縁して設けてもよい。いずれの場合にも、放電誘導電極と各配線とが電気的に絶縁されているので、放電誘導電極に印加された静電気が走査配線や信号配線に印加されることはない。

【0033】この放電誘導電極を、基板端部における走査配線や信号配線よりも広幅にし、または基板端部における走査配線や信号配線よりも広面積にすれば、表示パネルの周辺に放電される静電気が放電誘導電極に印加されやすくなるので望ましい。

【0034】

【発明の実施の形態】以下、本発明の実施形態について、図面を参照しながら説明する。なお、以下の図において、従来技術と同じ機能を有する部分には同じ番号を付して説明する。

【0035】（実施形態1）図1は、実施形態1の表示パネルにおけるアクティブマトリクス基板の等価回路を示す図である。

【0036】このアクティブマトリクス基板は、ガラス板などからなる透光性の基板1上に、複数の信号配線2および走査配線3が絶縁膜（図示せず）を介して互いに交差して設けられ、表示領域には各信号配線2と各走査配線3との交差部近傍にスイッチング素子としてのTFT4とそのTFT4に接続された画素電極5とが設けられている。各信号配線2および各走査配線3は、画素電極5がマトリクス状に設けられた表示領域の外まで延びており、信号配線2の片方の端部には信号入力用端子6が設けられ、走査配線3の片方の端部には信号入力用端子7が設けられている。各画素電極5には、対応する走査配線3の信号でスイッチングされるTFT4を介して対応する信号配線2の信号が与えられる。

【0037】表示領域の周辺には、その周囲を囲むように短絡線8が形成されている。その短絡線8は、各信号配線2の両端部および各走査配線3の両端部に設けられた高抵抗部9と接続されている。この高抵抗部9は、例えばTFT4を構成している半導体膜 n^+a-Si を用いてTFT4と同時に形成することができる。 n^+a-Si の抵抗率は通常、数 $10\Omega\text{cm}$ 程度であり、その膜厚は数 100Å 程度で使用する。 n^+a-Si の面抵抗を $100\text{M}\Omega/\square$ とし、高抵抗部9の幅を $100\mu\text{m}$ 、長さを $10\mu\text{m}$ とすると、信号配線2と短絡線8との間または走査配線3と短絡線8との間の接続抵抗は $10\text{M}\Omega$ となる。

【0038】このアクティブマトリクス基板は、図2に示すように、他の透光性基板上に平面状の対向電極が形成された対向基板（図示せず）と貼り合わせられた後、分断ライン10に沿って基板1が分断されて短絡線8が切り離される。この際、各高抵抗部9の一部が、信号配線2の両端部（および走査配線3の両端部）に残っている。なお、この図2および以下の図3、4において、31は分断前の基板1のエッジを示し、32は対向基板のエッジを示す。この図2に示すように、対向基板のエッジ32は対向基板が高抵抗部9以外の信号配線部分2a（および走査配線部分）をすべて覆うように配置するのが望ましい。その後、両基板間に液晶が充填されて表示パネルが完成する。

【0039】この表示パネルは、アクティブマトリクス基板が分断されるまでは、全ての信号配線2および走査配線3が高抵抗部9で短絡線8と接続されている。よって、基板分断前の工程で静電気が発生しても、印加された電荷は高抵抗部9および短絡線8を介して全配線に分散されるので、スイッチング素子の特性劣化や配線間の絶縁破壊が生じない。また、高抵抗部9以外の信号配線部分2aや走査配線部分の配線抵抗値は通常 $1\sim 10\text{k}\Omega$ 程度で、高抵抗部9の抵抗値に比べて十分に低いので、短絡線8と接続された基板分断前の状態でも、各配線の断線や配線間リークなどの基板検査が行える。

【0040】また、基板分断後の工程では、アクティブ

マトリクス基板の表面は、信号入力用端子6、7上を除いて対向基板で覆われている。このため、発生した静電気が主として分断された基板端面（図1および図2のA部）から信号配線2や走査配線3に侵入する。ところが、信号配線2および走査配線3の部分と分断端の間には高抵抗部9があり、印加された静電気が表示領域に達するまでに高抵抗部9で電圧降下するので、スイッチング素子の特性劣化や配線間の絶縁破壊が生じない。また、高抵抗部9は信号入力用端子6、7より基板端側にあるため、表示パネル完成後、実駆動のために信号入力用端子6、7に印加される信号には影響を及ぼさない。さらに、各信号配線2および各走査配線3が電氣的に接続されていないため、図9に示した従来例のように、配線間を接続する素子12への静電気印加による配線間リークの発生や、微小なリークによる表示ムラ等の発生が生じない。

【0041】なお、この実施形態では、アクティブマトリクス基板の分断ライン10を高抵抗部9の一部を分断するように配置したが、分断端と表示領域との間に高抵抗部9の一部または全部が残るようにすれば他の位置に分断ライン10を配置してもよい。また、高抵抗部9は基板端面より露出していてもよく、基板端面より内側に配されていてもよい。

【0042】（実施形態2）図3に実施形態2の表示パネルの部分拡大図を示す。

【0043】この表示パネルは、信号配線2の高抵抗部9と接続された短絡線8の一部を分断するようにアクティブマトリクス基板の分断ライン10が配置されている。基板分断後には、アクティブマトリクス基板の周辺領域に短絡線8の一部が残されている。

【0044】この表示パネルは、アクティブマトリクス基板が分断されるまでは、実施形態1と同様に、全ての信号配線2と走査配線3とが高抵抗部9で短絡線8に接続されているので、静電気が発生しても印加された電荷が高抵抗部9および短絡線8を介して全配線に分散され、スイッチング素子の特性劣化や配線間の絶縁破壊が生じない。

【0045】また、基板分断後の工程では、印加された静電気がアクティブマトリクス基板の周辺領域に残された短絡線8の一部を介して周辺の信号配線2や走査配線3に分散されると共に、表示領域に達するまでに高抵抗部9で電圧降下するため、さらに静電気によるスイッチング素子の特性劣化や配線間の絶縁破壊を防ぐのに有効である。ただし、この場合には、表示パネルの完成後においても配線間が高抵抗部9を介して接続された状態になるので、実駆動時に駆動用信号に影響を与えないように、隣接する配線間の接続抵抗値を設定しておく必要がある。

【0046】（実施形態3）図4に実施形態3の表示パネルの部分拡大図を示す。

【0047】基板分断後にはアクティブマトリクス基板の周辺領域に短絡線8の一部が残され、高抵抗部9で信号配線2の端部2a（または走査配線3の端部）に接続されている。

【0048】この表示パネルは、短絡配線8のくびれ部が複数の信号配線2の端部2a（または複数の走査配線3の端部）の高抵抗部9と接続され、そのくびれ部を分断するようにアクティブマトリクス基板の分断ライン10が配置されている。基板分断後には、アクティブマトリクス基板の周辺領域に短絡線8のくびれ部が残され、高抵抗部9で信号配線2の端部2a（および走査配線3の端部）に接続されている。この場合、図4に示すように、対向基板のエッジ32は対向基板が短絡線8のくびれ部までを覆うようにするのが好ましい。

【0049】この表示パネルは、アクティブマトリクス基板が分断されるまでは、実施形態1と同様に、全ての信号配線2および走査配線3が高抵抗部9で短絡線8に接続されているので、静電気が発生しても印加された電荷が高抵抗部9および短絡線8を介して全配線に分散され、スイッチング素子の特性劣化や配線間の絶縁破壊が生じない。

【0050】また、基板を分断した後の工程では、対向基板11が短絡線8のくびれ部までを覆っており、基板分断後に静電気が印加される部分がそのくびれ部（図4のB部）のみとなるので、静電気による不良の発生を実施形態1および実施形態2に比べて大幅に減らすことができる。上記実施形態2および実施形態3では、分断後にパネルに残る短絡線8を対向電極（図示せず）に接続する構造にすれば、更に、静電気の影響を小さくすることができる。

【0051】上記実施形態1～3では、高抵抗部9として半導体膜を用いた例について説明したが、高抵抗部以外の信号配線部分2aまたは走査配線部分よりも面抵抗が高い膜であればいずれも用いることができ、金属膜や金属酸化膜を用いてもよい。高抵抗部9として金属膜を用いる場合には、高抵抗部9の抵抗値を高くするために薄膜化したり、金属膜の長さ対幅の比を大きくしたりするのが好ましい。また高抵抗部9として金属酸化膜を用いてもよい。なお、高抵抗部9としてアクティブマトリクス基板を構成する半導体膜や金属膜、金属酸化膜を用いれば、特別な工程を追加する必要がないので、製造コストを低減することができる。

【0052】また、上記実施形態1～3では、短絡線8を表示領域の周囲を取り囲むように配置して、信号配線2の両端および走査配線3の両端に設けた高抵抗部9と短絡線8とを接続したが、短絡線8をL字型に配置して、信号配線2の片端および走査配線3の片端に設けた高抵抗部9と短絡線8とを接続してもよい。この場合には、基板分断後に接触等により信号配線2および走査配線3に静電気が印加されないように、接続されていない

側の端が対向基板で完全に覆われるように対向基板のエッジ32を配置するのが好ましい。

【0053】（実施形態4）図5は実施形態4の表示パネルにおけるアクティブマトリクス基板の平面図である。この図5においては、簡単のために表示領域20の内側を省略して示し、表示領域20の周辺に並設された配線や端子の一部を省略して示している。

【0054】このアクティブマトリクス基板は、短絡線8が信号配線2の信号入力用端子6が設けられていない側の端部および走査配線3の信号入力用端子7が設けられていない側の端部と接続されている。また、表示領域20の周辺の信号入力用端子6、7が設けられていない側には、信号配線2および走査配線3を覆うように絶縁膜（図示せず）を介して放電誘導電極15が重畳されている。

【0055】このアクティブマトリクス基板は、対向電極が形成された対向基板（図示せず）と貼り合わせられた後、両基板間に液晶が充填されて表示パネルが完成するが、その完成前に分断ライン10に沿って基板1が分断されて短絡線8が切り離される。この際、信号入力用端子6、7が設けられていない側の信号配線2および走査配線3の端部を放電誘導電極15が覆った状態となる。

【0056】このように放電誘導電極15が信号配線2および走査配線3の端部を覆っているので、表示パネルの周辺に放電される静電気は、そのほとんどが放電誘導電極15に印加される。この放電誘導電極15は信号配線2および走査配線3とは電気的に絶縁されているので、信号配線2および走査配線3の重なり部分で形成されるTFT4に電圧が印加されず、静電気によりTFTの特性劣化や配線間の絶縁破壊が生じることはない。

【0057】（実施形態5）図6は実施形態5の表示パネルにおけるアクティブマトリクス基板の平面図である。この図6においては、簡単のために表示領域20の内側を省略して示し、表示領域20の周辺に並設された配線や端子の一部を省略して示している。

【0058】このアクティブマトリクス基板は、短絡線8が信号配線2の信号入力用端子6が設けられていない側の端部および走査配線3の信号入力用端子7が設けられていない側の端部と接続されている。また、表示領域20の周辺の信号入力用端子6、7が設けられていない側には、各信号配線2の両側および各走査配線3の両側に各配線と離隔して放電誘導電極15が設けられている。

【0059】このアクティブマトリクス基板は、対向電極が形成された対向基板（図示せず）と貼り合わせられた後、両基板間に液晶が充填されて表示パネルが完成するが、その完成前に分断ライン10に沿って基板1が分断されて短絡線8が切り離される。この際、信号入力用端子6、7が設けられていない側の信号配線2および走

査配線3の端部の両側を放電誘導電極15が挟んだ状態となる。このとき、最も外側の信号配線2および走査配線の外側の放電誘導電極15は省略することも可能である。

【0060】このように放電誘導電極15が信号配線2および走査配線3の端部の両側を挟んでおり、しかも、放電誘導電極15の幅を信号配線2および走査配線3の幅よりも広くしてあるので、表示パネルの周辺に放電される静電気は、そのほとんどが放電誘導電極15に印加される。また、この放電誘導電極15は信号配線2および走査配線3とは電気的に絶縁されているので、信号配線2および走査配線3の重なり部分で形成されるTFT4に電圧が印加されず、静電気によりTFTの特性劣化や配線間の絶縁破壊が生じることはない。

【0061】また、この表示パネルは、放電誘導電極15をコモンライン25を介して対向電極（図示せず）に接続してあるので、静電気により印加された電荷を対向電極から液晶表示パネル全体に拡散することができ、さらに静電気の影響を小さくすることができる。

【0062】なお、放電誘導電極15の形状は上記実施形態4および5に示したものに限らず、信号配線2および走査配線3の近傍に導電性材料を用いて形成すればよいので、信号配線2と短絡線8との接続パターンや走査配線3と短絡線8との接続パターンに応じて適宜変更することが可能である。とくに、放電誘導電極15の基板端部での幅または面積を各配線2、3の基板端部での幅または面積よりも大きくしておく、と、静電気が放電誘導電極15に有効に導かれる。また、放電誘導電極15を信号配線2、走査配線3またはコモンライン25等と同じ材料を用いて形成すれば、特別な工程を追加する必要がないので製造コストを削減することができる。

【0063】

【発明の効果】以上詳述したように、本発明によれば、走査配線および信号配線のうちの少なくとも一方の配線が表示領域外におけるその途中または端部に高抵抗部を有しており、高抵抗部を一方の基板端面より露出させ、または基板端面より内側に配して一方の基板を分断している、ので、基板分断後の工程でも、静電気起因するスイッチング素子の特性劣化や配線間の絶縁膜の破壊を防ぐことができる。よって、基板分断前および基板分断後の全工程を通じて製造歩留りを向上させると共に、信頼性の高い表示パネルを製造することができる。

【0064】また、高抵抗部の抵抗値は他の配線部分に比べて十分に低い、ため、分断前の短絡線に接続されたままの状態でも各配線の断線や配線間のリークなどの検査が可能であり、さらに製造歩留りを向上させることができる。

【0065】さらに、高抵抗部は信号入力用端子よりも基板端側にあるので、表示パネルの完成後に残されたま

までも、実駆動のために印加される信号には影響を及ぼさず、表示品位の良好な画像が得られる。

【0066】この高抵抗部はアクティブマトリクス基板を構成する半導体膜、金属膜または酸化膜等と同じ材料を用いて形成することができるので、特別な工程を追加する必要がなく、製造コストを削減することができる。

【0067】また、他の本発明によれば、走査配線および信号配線のうちの少なくとも一方の端部近傍であって表示領域の外側に放電誘導電極が設けられているので、表示パネルの完成後に表示パネル周辺に静電気が発生しても放電誘導電極に印加させることができ、静電気が信号配線や走査配線に印加されるのを防ぐことができる。よって、静電気起因するスイッチング素子の特性劣化や配線間の絶縁破壊を防ぐことができる。

【0068】この放電誘導電極は信号配線や走査配線を形成する工程で形成可能であるので、特別な工程を追加する必要がなく、製造コストを削減することができる。

【図面の簡単な説明】

【図1】実施形態1の表示パネルにおけるアクティブマトリクス基板の等価回路図である。

【図2】実施形態1の表示パネルの部分拡大図である。

【図3】実施形態2の表示パネルの部分拡大図である。

【図4】実施形態3の表示パネルの部分拡大図である。

【図5】実施形態4の表示パネルにおけるアクティブマトリクス基板の平面図である。

【図6】実施形態5の表示パネルにおけるアクティブマトリクス基板の平面図である。

【図7】従来のアクティブマトリクス基板の等価回路図である。

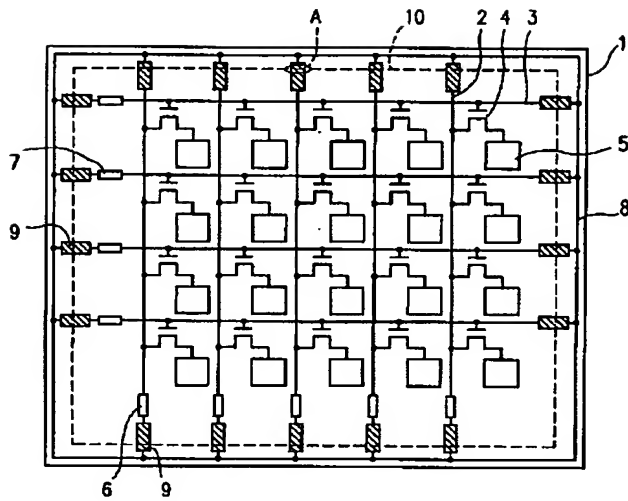
【図8】他の従来のアクティブマトリクス基板の平面図である。

【図9】他の従来のアクティブマトリクス基板の等価回路図である。

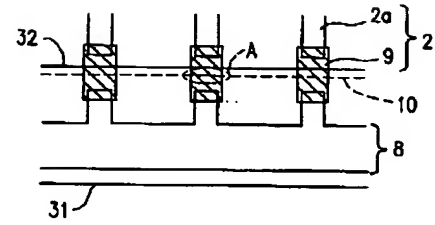
【符号の説明】

- 1 基板
- 2 信号配線
- 2a 高抵抗部以外の信号配線部分
- 3 走査配線
- 4 TFT
- 5 画素電極
- 6、7 信号入力用端子
- 8 短絡線
- 9 高抵抗部
- 10 分断ライン
- 15 放電誘導電極
- 20 表示領域
- 25 コモンライン
- 31 エッジ
- 32 エッジ

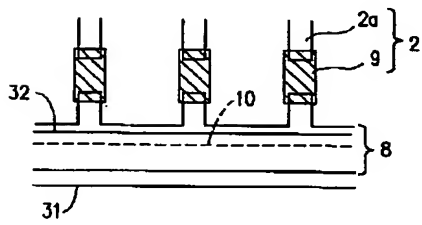
【図1】



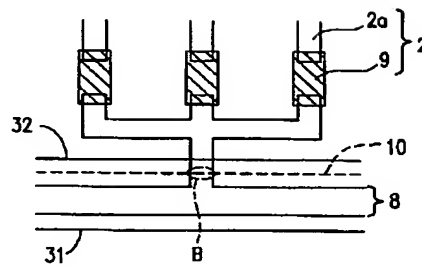
【図2】



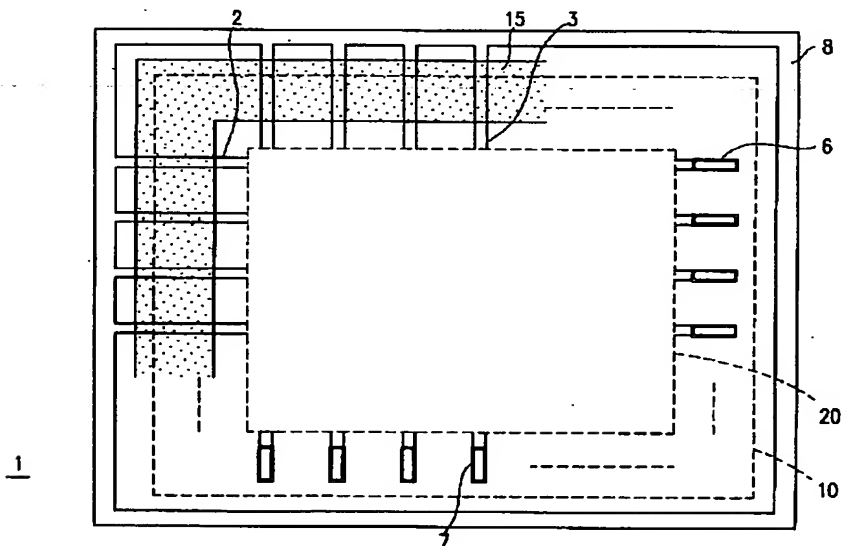
【図3】



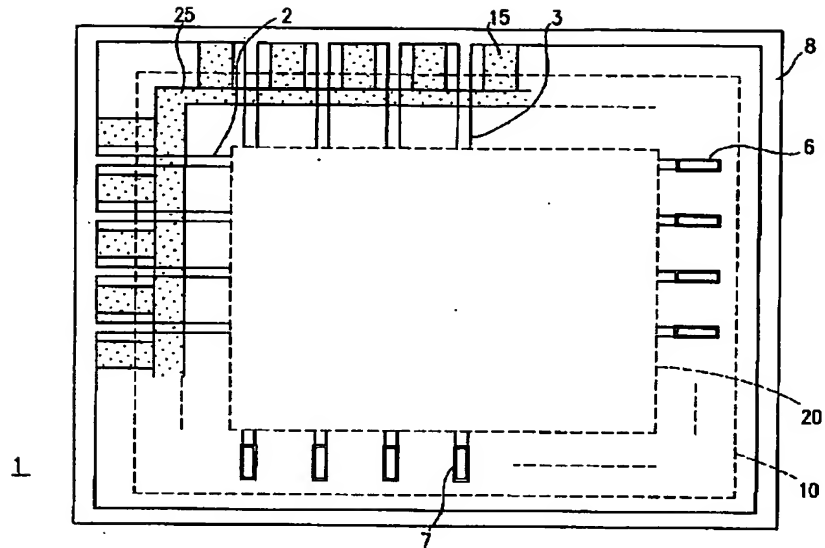
【図4】



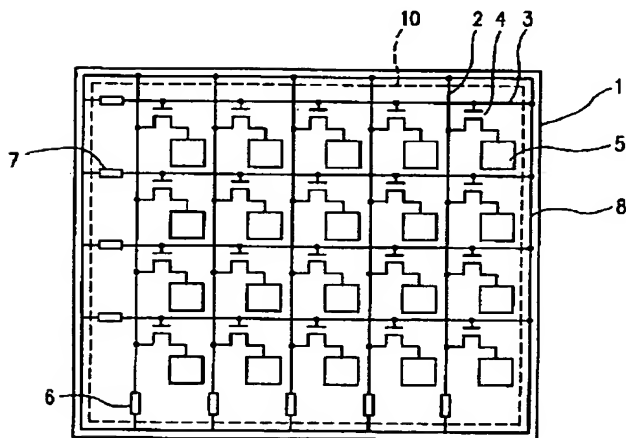
【図5】



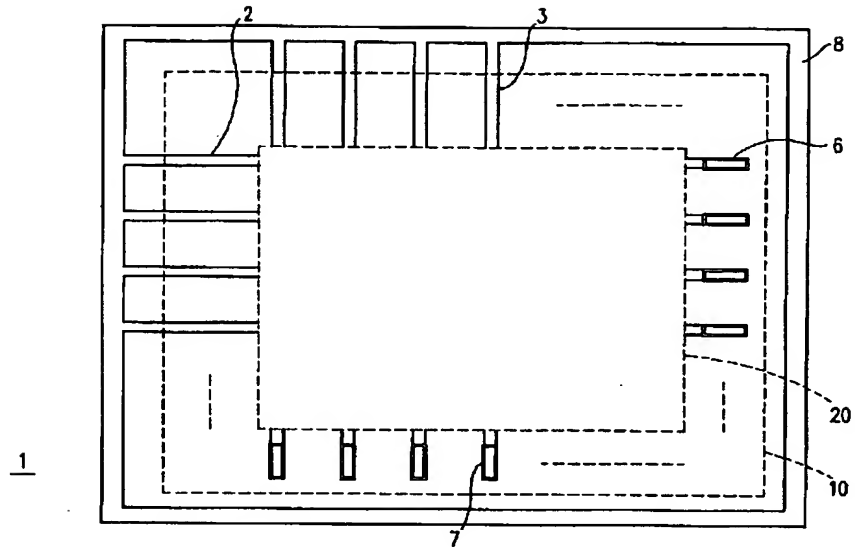
【図6】



【図7】



【図8】



【図9】

